第3章

システムLSIの課題を先端実装技術との融合で乗り越える
——ASICとDRAMの間を最大16Gバイト/sでデータ転送可能に

間渕義宏

チップ，パッケージ，ボードという3階層からなる現在の実装構造を前提に，シミュレータなどで不ぐあいの原因となる箇所を解析するというアプローチとは別に，実装構造そのものを見直して問題を回避するというアプローチがある．ここでは，シリコン基板上にチップを直接実装することで，消費電力やノイズ，チップ間のデータ転送速度などの問題を解決するSiS（system in silicon）技術について解説する．こうしたアイデアを実現するためには，部署ごとの垣根を取り払って全体最適化を図れるようにすることが重要になる，と筆者は説く．

（編集部）

筆者は半導体メーカに長年在籍し，おもにASIC（application specific integrated circuit）ビジネスにかかわってきました．この間，ASICはゲートアレイからセルベースIC，システムLSI（SOC：system on a chip）へと変遷を重ねました．ビジネス面ではファブレス企業やファウンドリ企業による水平分業モデルが登場しました．設計技術の面ではLSI設計者とEDA（electronic design automation）開発者が相互に協調して大規模設計の効率化を図ってきました．しかし残念なことに，LSIの設計側と製造側の間では十分な相互理解を果たしてきたとは言えません．本稿ではこの経験をもとに，協調設計の必要性を述べていこうと思います．

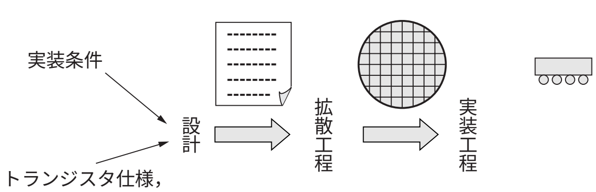


図1　設計・製造フロー
設計者は製造部門から出される設計基準に基づいてLSIを開発していく

● 部分最適から全体最適へ

図1に示すように，LSIの製造は，大きく拡散工程と実装工程に二分されています．近年では，それぞれの工程に対して専門の巨大ファウンドリが存在し，IDM（integrated device manufacturing）企業とし烈な競争を展開しています．

一方，LSI設計はおもに上述の拡散工程とかかわりが深く，ボンディング・パッドを境にその外側は「実装工程にお任せ」となりがちです．そのため，実装工程についての優れたアイデアや技術があっても，LSI設計側では生かしきれていないのが実状ではないでしょうか．

設計側，製造側（実装工程）のそれぞれが最適化を図り，その組み合わせが最強のものとなって，競争力のある最終製品ができあがれば問題ありません．ただし，現状では最終仕様の実現のために，どこかの工程にしわ寄せがいくことになりがちです．例えば，LSIのマスク製作の場合でも，マスク製作やOPC（optical proximity correction），レイアウト設計の間でそれぞれがバジェット（分配される資金や時間などのリソース）を出し合えば，もっと開発期間やコストの最適化が図れるはずです．

このように部分最適から全体最適にもっていくためには，各部門の垣根を取り払った議論が必要になってきます．以降ではシステムLSIとSiP（system in package）を比較し

KeyWord　SiS，SiP，DDR SDRAM，マイクロバンプ，インターポーザ，TEG，3次元実装，SiSbus，ASIC，実装

ながら，筆者らが開発している，両技術を融合し全体最適化を図ったSiS（system in silicon）技術について紹介します．

● システムLSI vs. SiP，帯に短したすきに長し

携帯型機器や家電機器などの「軽・薄・短・小」の要求は，実装面積を削減する技術の開発を後押ししてきました．システムLSIは，この要求に対して1チップ化（集積化）という方法で対応し，また，高速化も同時に実現してきました．このような状況下では，単純に複数チップを一つのパッケージに封止する方法（いわゆるマルチチップ・モジュール，SiP）は，コスト的に見合いませんでした．

しかし近年，システムLSIは大きな問題を抱え始めています．微細化に伴う開発費の高騰やリーク電流によるパワーの増加，低電圧化の技術的障壁などです．このため，単純なプロセスの微細化だけでは問題を解決できません．製造コストも高くなっており，高速化も鈍化し始めました．さらに，製造プロセスの異なるDRAMやフラッシュ・メモリなどの機能を1チップ化するのは，コスト的に無理があります．

ここで登場するのが，低コストで高速化を実現できる可能性のある3次元実装技術です．システムLSIが1チップ化によって2次元方向の配線長を短縮するのに対して，3次元実装では3次元方向（チップ面に対して垂直の方向）の接続が可能となり，配線長をさらに短縮できる可能性があります．例えば，CPU（central processing unit）やDSP（digital signal processor），ASIC，DRAM，SRAMを搭載したシステムも，3次元実装を利用すれば面積最大のチップに相当するパッケージ面積だけで済みます．

コスト的にどちらが有利かを検討するには，チップ・サイズや実装コスト，プロセス・コスト，歩留まりなどを加味した計算を行わなければなりません．しかし，少なくとも設計段階ではSiPなどの実装手法も視野に入れながら実現手法を検討していかなければならない時代に入ってきたように思います．すなわち，LSI設計者と実装技術者が共同で全体最適を目ざして議論し合う場が必要になります．

具体例を**図2**に示します．DDR（double data rate）SDRAMの高速化とともに，ASICとの間のインターフェースが性能向上のボトルネックになってきています．数百MHzで動作させるためにはASICのタイミング設計だけでは間に合わず，難度の高い基板設計を同時に行う必要があります．また，このインターフェース部分で消費される電力は，終端抵抗が必要なこともあり，増大傾向にあります．ノイズも同じく増大しています．

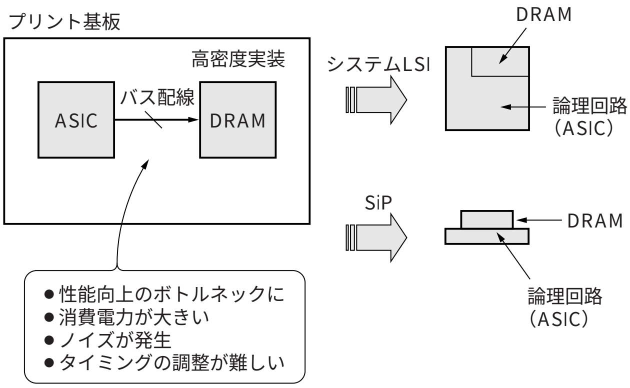


図2　システムLSIとSiP
高速データ転送のためにDDR SDRAMを複数個使用すると，消費電力やノイズ，基板設計などの点で問題が多い

これを解決する方法として，DRAM混載プロセスを開発するという考えかたがあります．システムLSI化すれば消費電力やノイズを低減できます．タイミング設計もチップ内だけでおさまります．しかし，異種混載プロセスでは，プロセス・コストやマスク費用の高騰，LSIの開発期間の増大といった問題があります．

一方，SiPの場合は，コスト面では有利になる可能性がありますが，DRAM-ASIC間のタイミング設計は基板設計と同じように難度が高く，消費電力やノイズの低減も含めてASIC設計側との調整が必要です．

● システムLSIの技術に先端実装技術をミックス

上記で全体最適の必要性を述べてきましたが，ここでは筆者らが開発しているSiS技術を紹介します．これはシステムLSIの技術をベースとし，そこに先端実装技術を導入したものです．まさにLSI設計者と実装技術者が議論を重ねて問題解決を図りました．

上述のように，システムLSIの問題として，開発費の高騰や消費電力の増大などがあります．それらを解決するためにさまざまな提案がなされていますが，だれもが納得するストーリはなかなか描けていないように思います．一方，SiPは携帯電話機などの後押しにより実装面の集積度は上がっていますが，性能面ではシステムLSIに追いついていません．また，設計保証や信頼性確保の面でもまだ完全とは言えません．

ここで説明する技術は，システムLSIに近い性能を実現

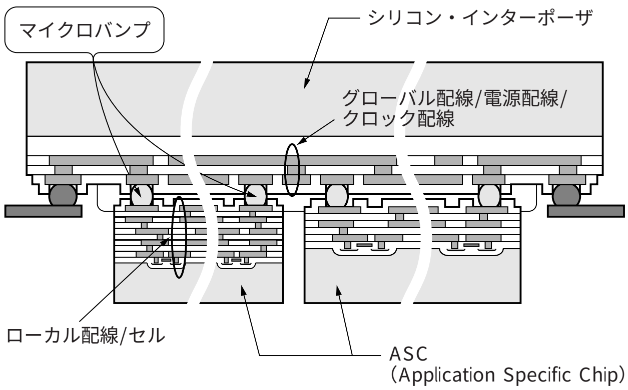


図3　SiS アーキテクチャ
二つのチップをバンプとシリコン・インターポーザで接続している

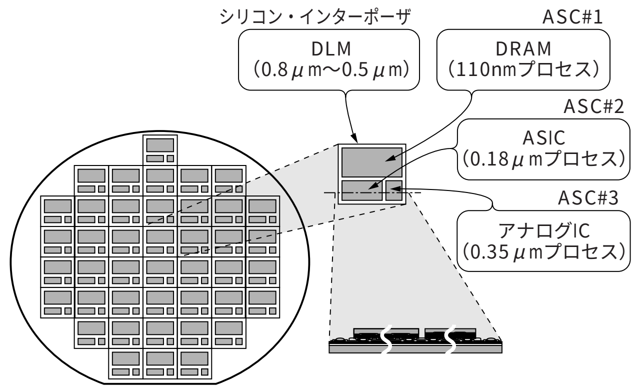


図4　SiSの例
DRAMとASICとアナログICを搭載している

し，かつ，システムLSIの設計環境を流用することにより設計保証や信頼性確保が可能となった新しいデバイスの実現手法です．

● **既存のLSI設計環境を流用できる**

図3に本技術の基本アーキテクチャを示します．二つのチップをマイクロバンプ（微小な突起）とシリコン・インターポーザ（シリコン基板）を使用することにより接続します．マイクロバンプをビア，シリコン・インターポーザをグローバル配線，各アプリケーション・チップをローカル配線でレイアウトされたマクロ・セルまたはIPコアと考えると，システムLSIのチップ・アーキテクチャと同等に見えます．設計面からは，一種の階層構造になります．これにより，マルチチップでありながら市販のEDAツールを使ったシステムLSIの設計環境を踏襲できます．論理保証やタイミング保証，テスト，信頼性保証が容易になります．

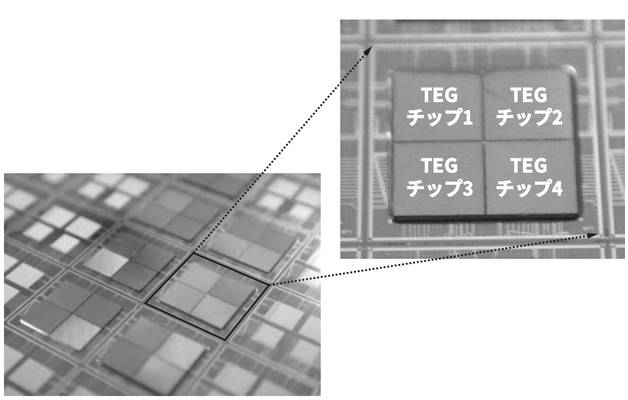


写真1　TEGチップ
4個のTEGチップを100μm間隔で搭載している

ユーザはマルチチップ，シングル・チップの区別なく，従来の設計環境下で設計・検証を行えます．

各チップには実績のある最適な（製造コストが最小になる）プロセスが選択され，かつ，異種デバイスを容易に統合することが可能となります．

図4はDRAM，ASIC，アナログICのそれぞれに最適なプロセスを選択し，シリコン・インターポーザ上に統合した例です．これらを本技術に対応した設計環境のもとで開発することにより，システムLSIに近い性能，もしくはシングル・チップでは不可能な性能を実現することもできます．

テスト手法については，チップ間をSiSbusを介してつなぐことにより，各チップの独立テストや不良チップの切り分け，全バンプの開放/短絡テストを行っています．検証環境においても，各パーツ（アプリケーション・チップ，シリコン・インターポーザ）は実績のある検証ルールに基づいて動作を確認し，バンプを含む全体検証によって保証されます．

写真1にマイクロバンプ開発用TEG（test element group）を示します．4個のチップをマイクロバンプでシリコン・インターポーザに接続しました．各チップには50μmピッチまたは40μmピッチのアレイ・バンプを形成しています．バンプは共晶はんだを使用して実現します．チップ間隔は100μmです．

写真2にマイクロバンプの断面写真を示します．バンプ間隔は50μm，バンプ径は30μmです．このTEGにより，マイクロバンプの歩留まりやエレクトロ・マイグレーション（過大電流によってLSI金属薄膜配線中の金属電子が移動し，断線や短絡を引き起こす現象）などの信頼性テストを

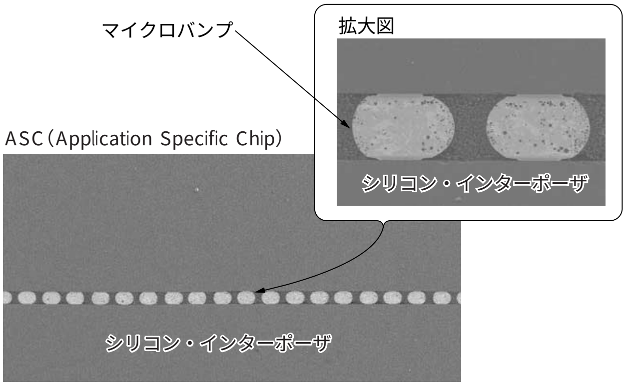


写真2　バンプの断面図
右上は拡大図

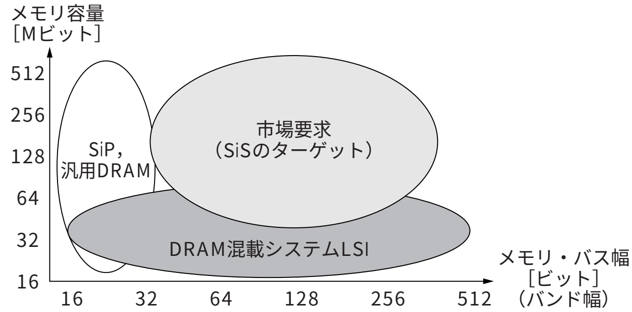


図5　市場要求
横軸にバンド幅，縦軸にメモリ容量を示す

実施し，良好な結果を得ています．また，チップ間転送用バッファにはESD（electrostatic discharge）保護素子を付与しています．

● SiS技術により512ビット幅のDRAMとASICを接続

本技術を生かせば，**図5**に示す市場の要求に応えられると筆者らはみています．今までのシステムLSIでは混載DRAM（DRAMコア）のバス幅を広げて（通常，128ビット以上），高速な転送レートを実現していました．ただし，容量面では，どうしても汎用DRAMと比べて不利になります．90nmプロセスで混載DRAMの経済的な容量の目安は64Mビットです．一方，汎用DRAMでは1Gビット以上を実現できますが，バンド幅は32ビット程度しか取れません．転送レートを稼ぐためにはDDRなどの高速インターフェースを複数個使わなければなりません．ここで粒度（granularity）の問題が生じます．コスト面で最適な容量で（64M～512Mビット），かつ，転送レートが2Gバイト/s以上という要求は，システムLSIでもSiPでも満たすことが難しいのです．

とくにこれらの要求は，**図6**に示すASICとDRAMの間のデータ転送において顕著になります．この問題の解決策として，筆者らは本技術を生かした512ビット幅を持つDRAM（SiSDRAM）を開発し，シリコン・インターポーザとマイクロバンプによってASICと接続しました．

SiSDRAMの仕様を**図7**に示します．512ビット幅で最大4Gバイト/sの転送レートを実現しています．インターフェースはSRAM相当のもので，単純化しています．I/Oの消費電力は従来のDDRインターフェースの1/10になっています．これは，終端抵抗がないこと，そしてバッファを軽負荷に合わせて最適化したためです．動作周波数は

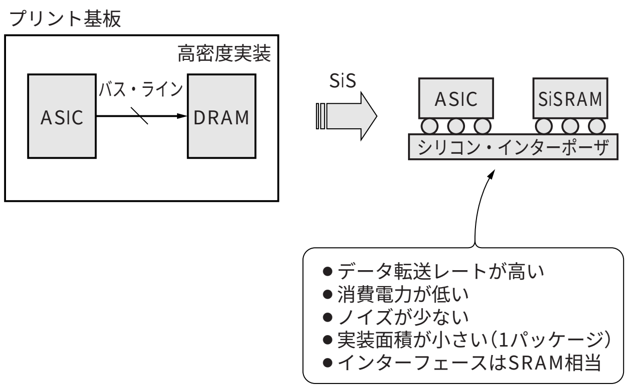
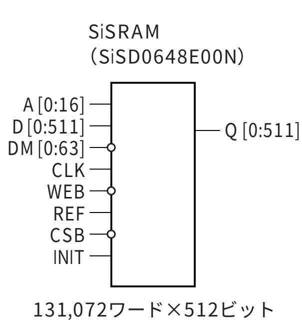


図6　ASICとDRAMの間の通信
SiS技術により，高速なデータ転送，低消費電力，低ノイズを実現している

特徴
- パイプライン動作なしに33MHzでランダム読み出し/書き込み可能
- 66MHzのランダム・バースト・モードに対応(最大2.1G～4.2Gバイト/s)
- バイト書き込みマスクに対応(DM0～DM63)
- 1.8V±0.15V単一電源
- 4096リフレッシュ・サイクル/16ms



ピンの名称	機　能
A [0:16]	アドレス入力
D [0:511]	データ入力
Q [0:511]	データ出力
DM [0:63]	バイト書き込みマスク
CLK	クロック入力
WEB	書き込みイネーブル
REF	リフレッシュ
CSB	チップ・セレクト
INT	初期化制御入力

図7　SiSDRAMの仕様
512ビット幅で最大4Gバイト/sの転送レートを実現している．インターフェースはSRAM相当

3

動作周波数 ＼ 容量	64M×512ビット		128M×1024ビット		256M×2048ビット	
	×1構成	×2構成	×1構成	×2構成	×1構成	×2構成
25MHz	1.6	3.2	3.2	6.4	6.4	12.8
33MHz	2.1	4.2	4.2	8.5	8.5	17.0

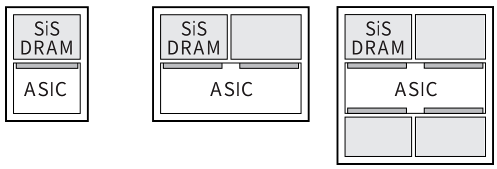


図8　SiSDRAMの転送レート

ビット幅や転送レート，容量がさらに必要な場合には，最大4×64Mビット(256Mビット)まで増設できる

33MHzまたは66MHz，容量は基本ユニットが64Mビットです．

ビット幅や転送レート，容量がさらに必要な場合には，**図8**に示すように最大4×64Mビット(256Mビット)まで増設可能です．このとき，ビット幅は4×512ビット(2048ビット)，最大データ転送レートは16Gバイト/sになります．

図9(a)は，シリコン・インターポーザを最上位2層，バンプをスルーホールとみなすことによって，8層のLSIの断面と見なすことができます．これにより，既存のEDAツールをベースとして設計環境を構築できるわけです．**図9(b)**は，設計段階ではシリコン・インターポーザと

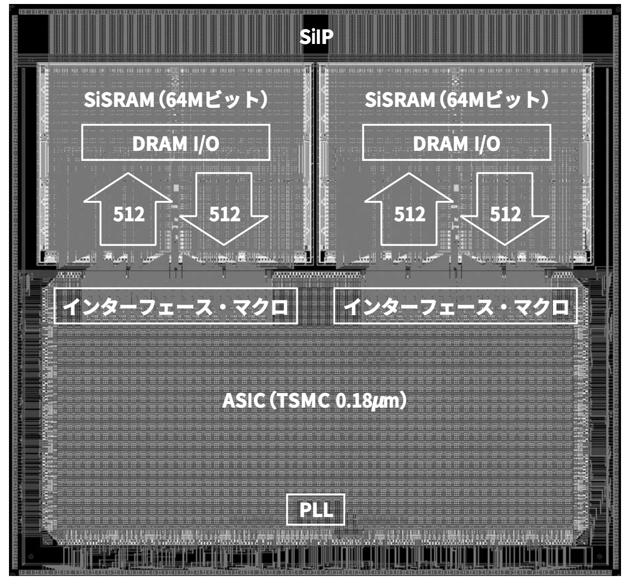


図10　SiS技術の適用例

SiSDRAMを2個使用して1024ビット幅を実現している

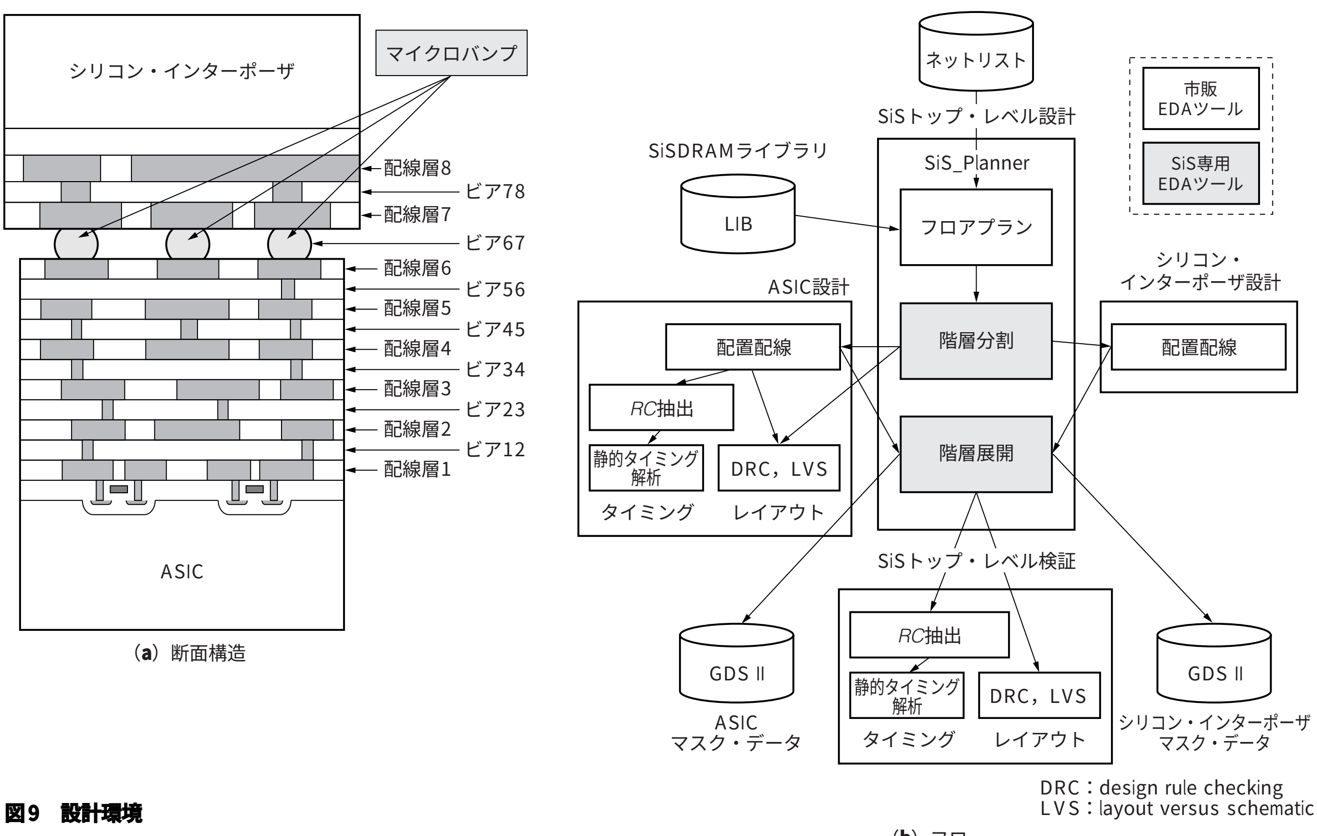


図9　設計環境

8層のLSI設計とみなし，既存の設計ツールをベースに設計環境を構築している

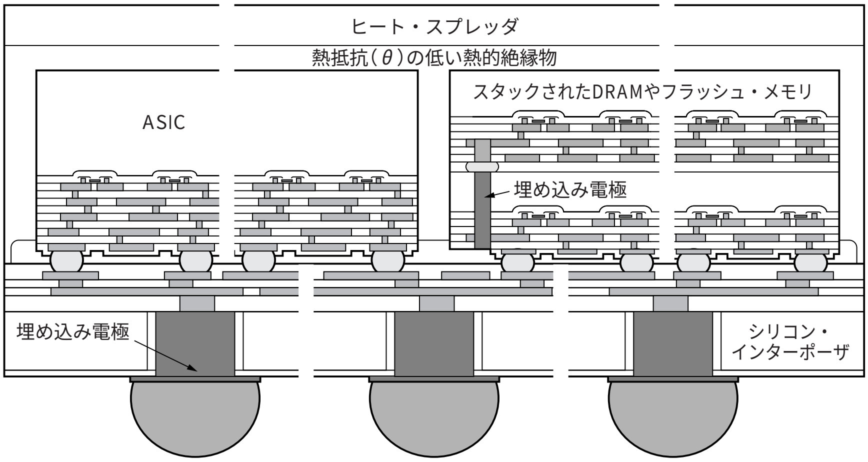


図12
フラッシュ・メモリを搭載したSiSの断面図
将来はフラッシュ・メモリとDRAMを混載し，パッケージも兼ねる形態となる

ASICをマージし，マスク作成時には分離するフローを示しています．**図10**は本技術を利用した試作チップです[1]．SiSDRAMを2個使用することで，1024ビットのバンド幅を実現しています．

図11に本技術のアーキテクチャの将来図を示します．貫通電極技術を利用することにより，3次元(3D)メモリを搭載し，最大4Gビットの容量まで対応します．また，マイクロバンプの狭ピッチ化(20μm以下)を推進し，30Gバイト/sの高速な転送レートを実現します．さらに，SiSbusを標準化し，実際に製造することによって動作確認が行われたハードIP(ハード・マクロ)が容易にプラグインできるようにしていきます．これにより，設計環境を完備した本技術の普及を目ざします．**図12**はDRAMとフラッシュ・メモリを混載し，さらにシリコン・インターポーザに貫通電極を設けて実装密度を上げていく構想図です．

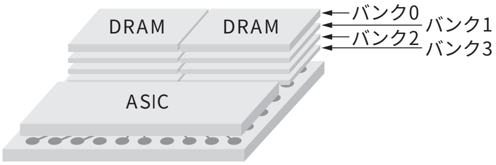


図11　アーキテクチャの将来図
貫通電極を使用したDRAM積層により，容量を拡大している

● 部署ごとの垣根を取り払おう

筆者自身，半導体メーカでLSI設計にかかわっていたときは，設計ルールによって明確に，部署ごとの役割が区別されていました．責任分担が明確で，部署ごとに努力し部分最適がなされていれば，競争力のある製品ができ上がっていた時代です．しかし現在では，ボトルネックとなっている部分を担当している部署が製品の性能を決めてしまう可能性があります．こうしたケースでは，別の部署が少し仕様を緩め，妥協点をさぐり合えば，その結果としてボトルネックを解消できる場合もあるかもしれません．また，実はほかの部署から要求がないので試していないが，この点さえ妥協してもらえれば新境地が開ける，といったケースもあるかもしれません．

国内の半導体メーカ各社は各パーツごとにすばらしい技術を保有しています．こうしたメーカのみなさんには，各部署ごとの垣根を取り払って全体最適化を図り，IDM企業のメリットを生かしてもらいたいと思います．

参考・引用*文献

(1) K. Kumagai, Y. Mabuchi et al., " System-in-Silicon Architecture and its Application to H.264/AVC Motion Estimation for 1080HDTV ", ISSCC 2006, 2006.

まぶち・よしひろ
(株)SFT

<著者プロフィール>
間淵義宏．1982年にNECに入社し，半導体部門(現NECエレクトロニクス)に配属されて以来，主としてASICビジネスにかかわってきました．2年ほど前に退社し，半導体ベンチャを立ち上げ中です．